

Japanese Patent Application Laid-Open No. 8-56218

(43) Publication Date: February 27, 1996

(21) Application Number:

Japanese Patent Application No. 6-208270

(22) Filing Date: August 10, 1994

(71) Applicant: 000001122

Kokusai Electric Co., Ltd.

(72) Inventor: Masashi Naito

(72) Inventor: Mitsuo Kubo

[0003] The mode control circuit 7 controls operations of the following three modes.

(1) Initial phase draw-in awaiting mode

When starting frame synchronization, a selector switch 8 is set such that the window circuit 3 is passed through, and a cross-correlation value signal a is directly input from a complex number correlator 2 to the comparator 4. It is further observed until output d of the comparator 4 becomes H (a cross-correlation value exceeding a threshold is generated).

(2) Initial phase draw-in mode

At a point of time the output d of the comparator 4 has become H, the PLL 6 is reset for matching phases of frame synchronization reproducing signals. Next, the selector switch 8 is switched to the output side of the window circuit 3 and

the input of the comparator 4 is switched to the output of the window circuit 3 for setting a cross-correlation value outside of the window area to 0.

(3) Front protecting mode

For detecting a correlation peak within the window, outputs of the comparator 4 are observed frame by frame, and the number of times the output of the comparator 4 becomes H within a zone of the number of observed frames N (N is a integral value of not less than 5) is counted by a built-in counter. When the count value e is less than K (K is an integral value of 1 to N), it is judged that frame synchronization is deficient, and the program returns to (1) while when the value is not less than K, it is deemed that frame synchronization has been favorably performed, and the switch 8 is controlled through control outputs f that repeat operations of (3).

<FIG. 6>

- (1) Received IF signal
- (2) 1: Orthogonal wave detector
- (3) 9: A/D converter
- (4) 2: Complex number correlator
- (5) Orthogonal IQ signal
- (6) 3: Window circuit
- (7) Cross-correlation value
- (8) 7: Mode control circuit
- (9) 4: Comparator
- (10) 5: Threshold
- (11) Rough sync pulse
- (12) Reset
- (13) Frame synchronization reproducing signal

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-56218

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 7/08	A			
H 0 4 B 7/24	G			
H 0 4 J 3/06	A			
H 0 4 L 7/10				

審査請求 未請求 請求項の数 4 F D (全 10 頁)

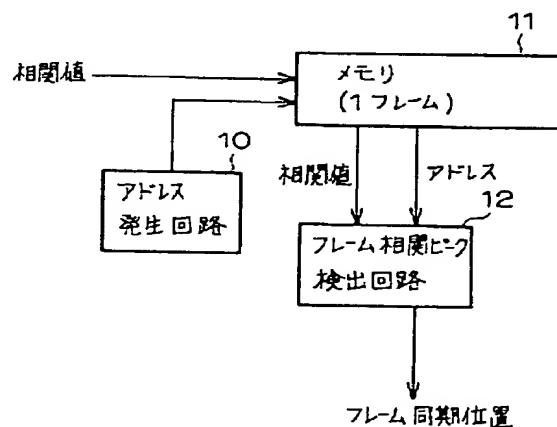
(21) 出願番号	特願平6-208270	(71) 出願人	000001122 国際電気株式会社 東京都中野区東中野三丁目14番20号
(22) 出願日	平成6年(1994)8月10日	(72) 発明者	内藤 昌志 東京都中野区東中野三丁目14番20号 国際電気株式会社内
		(72) 発明者	久保 光生 東京都中野区東中野三丁目14番20号 国際電気株式会社内
		(74) 代理人	弁理士 大塚 学

(54) 【発明の名称】 フレーム同期方式

(57) 【要約】

【目的】 レイラフェージングやマルチパスフェージング環境下においても、遅延波によるフレームタイミングオフセット量を軽減するフレーム同期方式を提供する。

【構成】 時分割多重のデジタル無線伝送システムの、同期ワード位置を検出するフレーム同期方式において、受信入力と、予め定められている所定の同期ワードパターンとの相関値をシンボル速度の2倍以上の周期で求め、1フレーム単位で逐次メモリ蓄積し、該メモリ蓄積された相関値を読み出しながら、1フレーム中の最大値となるフレームピーク値を与えるメモリアドレスを検出し、該メモリアドレスをフレーム同期位置と判定するように構成されている。



1

【特許請求の範囲】

【請求項1】 時分割多重のデジタル無線伝送システムの同期ワード位置を検出するフレーム同期方式において、

受信入力と、予め定められている所定の同期ワードパターンとの相関値をシンボル速度の2倍以上の周期で求め、1フレーム単位で逐次メモリ蓄積し、該メモリ蓄積された相関値を読み出しながら、1フレーム中の最大値となるフレームピーク値を与えるメモリアドレスを検出し、該メモリアドレスをフレーム同期位置と判定するように構成されたことを特徴とするフレーム同期方式。

【請求項2】 時分割多重のデジタル無線伝送システムの同期ワード位置を検出するフレーム同期方式において、

フレーム同期処理開始後の最初のフレームについて、受信入力と、予め定められている所定の同期ワードパターンとの相関値をシンボル速度の2倍以上の周期で求め、1フレーム単位で逐次メモリ蓄積し、該メモリ蓄積された相関値を読み出しながら、1フレーム中の最大値となるフレームピーク値を与えるメモリアドレスを検出し、該メモリアドレスをフレーム同期位置と判定する処理Aを行い、

次のフレーム以降は、フレーム同期位置近傍にウィンドウを設け、該ウィンドウ内での相関ピーク値であるウィンドウピーク値と前記フレームピーク値とを比較し、該フレームピーク値に対する該ウィンドウピーク値の比率が、予め定められた所定の設定値(α)以上となるフレームの数が予め定められた観測フレーム数(N)のうち、予め定められた設定数(K)以上であった場合同期状態を良好と見なしてウィンドウ値を与えるメモリアドレスであるウィンドウピークアドレスをフレーム同期位置と判定するとともに、該Kを越えなかった場合同期はずれと見なして、前記処理Aに戻るように構成されたことを特徴とするフレーム同期方式。

【請求項3】 前記ウィンドウピークアドレスと前フレームでのフレーム同期位置を比較し、該ウィンドウピークアドレスが時間系列として前方にある場合に1を減算し、後方にある場合1を加算する位相比較カウンタを設け、該位相比較カウンタの値が予め定められた設定値(L)以上となったとき該ウィンドウピークアドレスに1を加算し、-L以下となったとき1を減算するように構成されたことを特徴とする請求項2に記載のフレーム同期方式。

【請求項4】 前記ウィンドウ幅の設定において、フレーム同期位置の前方に、想定する最大遅延量以上に相当するサンプル数(W_f)、後方に最大遅延量の1/2以下に相当するサンプル数(W_r)を設定することを特徴とする請求項2又は3に記載のフレーム同期方式。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】本発明はデジタル無線通信に関するもので、特に時分割多重の同期ワード位置を抽出するフレーム同期方式に関するものである。

【0002】

【従来の技術】従来方式の同期ワード検出型フレーム同期回路の構成を図6に示す。受信IF(中間周波数)信号は、直交検波器1により直交I、Q信号に分離される。直交I、Q信号は、A/D変換器9によりシンボル速度の2倍以上の周期でデジタル信号に変換され複素数相関器2に inputs し、ここで同期ワードパターンとの複素数相関計算が行なわれ、時系列に相関値信号aが出力される。ウィンドウ回路3は、相関値信号aにウィンドウ範囲b(前後2シンボル～5シンボル)の窓かけを行い、フレーム同期再生信号に同期し、フレーム同期再生信号位置周辺以外の相関電力(以下相関値という)を0とする回路である。比較器4では同期ワード受信時に相関ピークが現れるのを利用して、しきい値5(例えば相関ピーク最大値の25%～75%程度に設定される)との比較によりしきい値を越える位置(相関ピーク検出位置)を検出し、フレーム位置の粗同期パルスdとして出力する。PLL(Phase Locked Loop)6は、フレーム同期再生信号と粗同期パルスの位置関係から、粗同期パルスと位相が同期する方向にフレーム同期信号を微調整制御するものである。

【0003】モード制御回路7は次の3モードの動作を制御するものである。

①初期位相引き込み待ちモード

フレーム同期開始時、ウィンドウ回路3をスルーとするように切り換えスイッチ8を設定し、複素数相関器2から相関値信号aを直接、比較器4へ入力する。さらに、比較器4の出力dがH(しきい値を越える相関値が発生)となるのを監視する。

②初期位相引き込みモード

比較器4の出力dがHとなった時点でPLL6をリセットし、フレーム同期再生信号の位相を合わせる。次に、切り換えスイッチ8をウィンドウ回路3の出力側とし、比較器4への入力をウィンドウ回路3の出力に切り換え、ウィンドウ範囲外の相関値を0とする。

③前方保護モード

ウィンドウ内での相関ピークを検知するために、比較器4の出力を毎フレーム監視し、監視フレーム数N(Nは5以上の整数値)の区間に比較器4の出力がHとなる回数を内蔵のカウンタによりカウントする。このカウント値eがK未満(Kは1～Nの整数値)であった場合、フレーム同期不良と判断し、①に戻るが、K以上であった場合、フレーム同期良好として③の動作を繰り返す制御出力fによりスイッチ8を制御する。

【0004】上記動作を信号の流れとして示すと、図7のようになる。相関値信号aはフレーム同期で相関ピークを持つ信号となるので、①初期位相引き込み待ちモード

50

では最初にしきい値をこえる相関ピーク位置検出待ちとなる。しきい値を越える相関ピークを入力した時点で比較器4の出力dがHとなり、②の初期位相引込みモード動作であるウィンドウ範囲bの設定、及び比較器4への入力をウィンドウ通過後とする切り換えを行う。その後は③の前方保護モードとなり、フレーム同期良好カウンタ値eの監視により同期良否をチェックする動作をする。

【0005】

【発明が解決しようとする課題】以上の動作により送信フレームに同期したフレーム同期再生信号の出力が可能となる。しかし従来方式を移動通信回線に適用する場合には次のような問題点がある。

①レイリーフェージングにおけるレベル変動によるタイミングオフセット。

②マルチパスフェージングにおける遅延波の影響によるタイミングオフセット。

【0006】図8に相関ピーク波形例を示す。フレーム同期位置(0)からの時間ずれ(横軸)対相関値(縦軸)を示す。シミュレーション条件は、相関器入力10のサンプリング速度=シンボル速度×8、同期ワード長=10シンボルである。図よりわかるように、相関ピーク波形は、フレーム同期位置(0)にピークを持つ、約2Tの幅を持つ山型波形である。従来方式のようなしきい値によるピーク検出では、レイリーフェージングによるピーク値のレベル変動を考慮して、通常ピーク値の25～75%をしきい値に設定して検出漏れを防ぐ必要があり、その結果ピーク位置よりも時間的に少し手前で検出されることになる。レベル変動がなければそのタイミングオフセット量は固定的な量であるので遅延回路により、ある程度の調整が可能である。しかし、レベル変動により検出位置が常に変動し、タイミングオフセットの原因となる。

【0007】さらにマルチパスフェージングにおいては、上記レベル変動に加え、遅延波(反射波等)の影響が問題を複雑にする。先行波レベルが低い場合には、先行波(直達波)ではなく遅延波位置でピークを検出することとなり、フェージングの状況により、平均的な相関ピーク検出位置は先行波と遅延波の間で変動することになる。しかも伝搬環境(レイリーフェージングとマルチパスフェージング)によりフレーム同期位置が大きく異なるのは大きな問題である。遅延波自体の復調器への影響は、等化器の導入によって遅延波による影響を取り除くことにより、誤り率の劣化を改善することが可能であるが、その場合でもフレーム再生信号のタイミングオフセットによる誤り率に関する等化器性能の劣化は大きな問題である。

【0008】本発明は、このような欠点を改善するため、レイリーフェージングやマルチパスフェージング環境下においても、遅延波によるフレームタイミングオフ

セット量を軽減するフレーム同期方式を提供するものである。

【0009】

【課題を解決するための手段】この目的を達成するために、本発明によるフレーム同期方式は、時分割多重のデジタル無線伝送システムの、同期ワード位置を検出するフレーム同期方式において、受信入力と、予め定められている所定の同期ワードパターンとの相関値をシンボル速度の2倍以上の周期で求め、1フレーム単位で逐次メモリ蓄積し、該メモリ蓄積された相関値を読み出しながら、1フレーム中の最大値となるフレームピーク値を与えるメモリアドレスを検出し、該メモリアドレスをフレーム同期位置と判定するように構成されている。

【0010】

【実施例】以下本発明を詳細に説明する。本発明のフレーム同期回路の一実施例を図1に示す。複素数相関後の相関値信号aは、アドレス発生回路10の発生するアドレスd、に従い、メモリ11に時系列信号として順次供給され、相関値a、が蓄積される。1フレーム分の相関値a、を蓄積した時点で、フレーム相関ピーク検出回路12により、1フレーム中の最大値(フレームピーク値p)を与えるメモリアドレスgを検出し、フレーム同期位置hと判定する。

【0011】本発明のフレーム同期回路において、ノイズによる誤検出を改善する実施例を図2に示す。複素数相関後の相関値信号aは、アドレス発生器20の発生するアドレスd、に従い、メモリ21に時系列信号として順次供給され、相関値a、が格納される。1フレーム分の相関値a、を格納した時点で毎フレーム、以下の処理を行う。フレーム相関ピーク検出回路22により、フレームピーク値p及びそれをメモリ21に格納したときのアドレス(以下フレームピークアドレスgとする)を検出し、ウィンドウ相関ピーク検出回路23によりウィンドウセンタアドレスhで指定されるウィンドウ範囲での最大値を与えるウィンドウピーク値c'及びそれをメモリ21に格納したときのアドレス(以下ウィンドウピークアドレスkとする)を検出する。次に、フレームピーク値p及びウィンドウピーク値c'はモード制御回路24に入力し、フレームピークアドレスg及びウィンドウピークアドレスkは位相制御回路25に入力する。位相制御回路25ではモード制御回路24の情報によりフレームピークアドレスg及びウィンドウピークアドレスkの情報を元にフレーム同期位置(=ウィンドウセンタアドレスh)を出力する。

【0012】モード制御回路24の詳細動作について説明する。

①初期位相引込みモード

動作スタート後、最初の1フレーム分の相関値を受信後、最初のフレームにおけるフレームピークアドレスgをフレーム同期位置とするように位相制御回路25に指

示し前方保護モード②に移る(処理Aとする)。

②前方保護モード

ウィンドウ内ピーク値とフレーム内ピーク値 $\times \alpha$ (α は $0 < \alpha \leq 1.0$)の値を大小比較しその結果、ウィンドウ内ピーク値が大きい場合、図1の前方保護動作と同様に、フレーム同期良好回数をカウントアップし(処理Bとする)。フレーム回数をNカウント中、K未満であった場合、フレーム同期不良と判断し、①に戻る。K以上であった場合フレーム同期良好として位相制御回路25に、以降のフレームにおいてウィンドウピークアドレスkをフレーム同期位置として出力するように指示し、②の動作を繰り返す(処理C)。

【0013】以上の動作を図3に処理フローチャートで示す。図のブロック40~42は初期位相引込みモードの処理(処理A)、ブロック43~46がウィンドウ内ピーク値のチェック処理(処理B)、ブロック47~50が同期良否の判定(処理C)に相当するものである。さらに、位相制御回路25の出力としてウィンドウピークアドレスkを平均化して出力する機能を持たせることにより、ウィンドウピークアドレスkの変動を吸収し、安定的にフレーム同期位置(h)を出力することが可能となる。それは前フレームで設定したフレーム同期位置(h)とウィンドウピークアドレスkとの比較により位相の進退を判定し、進退の統計的処理によりフレーム同期位置(h)を以下説明のように ± 1 微調整することにより受信信号とフレーム同期位置との相対位置が一致する方向に制御するものである。

【0014】具体的実施例としてはウィンドウピークアドレスkと前フレームでのフレーム同期位置hを比較し、ウィンドウピークアドレスkが時間系列として前方にある場合に1を減算し、後方にある場合1を加算する位相比較カウンタを設け、位相比較カウンタの値が設定値L(Lは2以上の整数値)以上となったときウィンドウピークアドレスkに1を加算し、 $-L$ 以下となったときウィンドウピークアドレスkから1を減算することによりウィンドウピークアドレスkの位置変動を平均化しフレーム同期位置とするものである。上記構成により真の相関ピーク(最適フレーム同期位置)の高い精度での安定的な検出が可能となり、問題点①で示したレイリーフェージングにおけるレベル変動によるタイミングオフセットの問題を解決することができる。

【0015】次に、問題点②のマルチパスフェージング環境における動作について、以下に示す。上記構成で、遅延波を含む受信信号を受信した場合の信号の流れを、図4に示す。相関値信号 a' はフレーム周期で相関ピーク $P_{1,1}, P_{1,2}, P_{1,3}, P_{1,4}, \dots$ を持つ信号となるが、先行波と遅延波の各々の位置に相関ピークが出現する。例として先行波と遅延波の平均レベル比が0dBであった場合、ウィンドウ範囲 b' 内で、先行波と遅延波のいずれもほぼ均等の確率でピークとして選ばれることとなる。

【0016】その場合、位相制御回路25では両者の中央にフレーム同期位置(h)がくるように制御が働くこととなり、本来の先行波位置に同期することができない。本発明の第2の特徴として、このような欠点を解決するためウィンドウ範囲 b_1' を図5のように、前後均等ではなく、ウィンドウセンタアドレスh(=フレーム同期位置)より前方部のウィンドウ幅を b_1' のように W_f ($W_f \geq \tau$: τ は対象とする遅延波の最大遅延量)、ウィンドウセンタアドレスhより後方部のウィンドウ幅を W_r (W_r は $T_s \sim \tau/2$: T_s はA/Dのサンプリング間隔 $=1/f_s$)となるように設定するものである。このようなウィンドウ設定により、ウィンドウピーク c_1' は常に先行波のピーク位置を示すことにより遅延波の影響を軽減し、マルチパス環境においても先行波に同期するフレーム同期回路を実現することが可能となる。

【0017】また W_r の設定($T_s \sim \tau/2$)により、先行波レベルが低下し、遅延波のレベルが高い状況が連続的に長時間に亘って発生した場合には、位相制御回路25によりウィンドウセンタの遅延波位置への移動が可能であり、同期はずれを回避することができる。 W_f の設定は、その後の先行波レベル復活後、ウィンドウ範囲 b' 内に先行波位置が入るように設定されており、位相制御回路25により同期はずれを起こすことなく先行波位置への復帰を可能にする。

【0018】

【発明の効果】以上詳細に説明したように、本発明を実施することにより、レイリーフェージングやマルチパスフェージングの環境における遅延波の影響によるフレーム同期位置ずれを大幅に軽減するため、その効果は著しく大きい。

【図面の簡単な説明】

【図1】本発明のフレームピーク検出型フレーム同期回路の一実施例を示すブロック図である。

【図2】本発明のフレームピーク、ウィンドウピーク検出型フレーム同期回路の一実施例図である。

【図3】本発明のフレームピーク、ウィンドウピーク検出型フレーム同期回路の処理説明用処理フローチャートである。

【図4】従来のウィンドウの問題点を示す説明図である。

【図5】本発明のウィンドウの効果を示す説明例図である。

【図6】従来のフレーム同期回路の構成例を示すブロック図である。

【図7】従来方式の同期処理説明図である。

【図8】相関ピーク波形図である。

【符号の説明】

- 1 直交検波器
- 2 複素数相関器

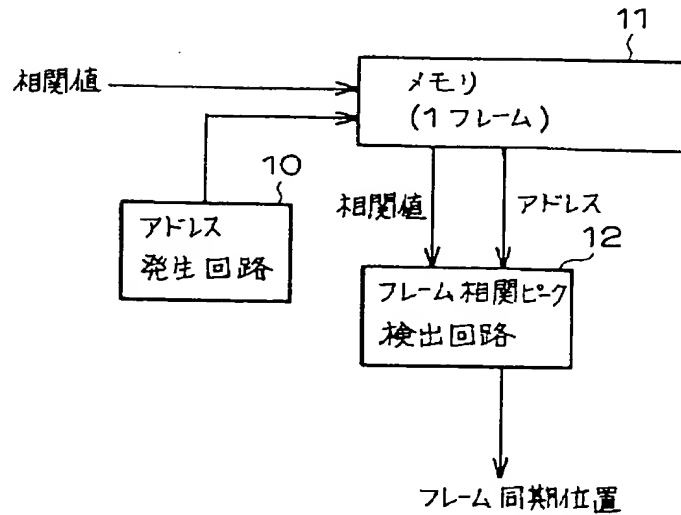
(5)

特開平8-56218

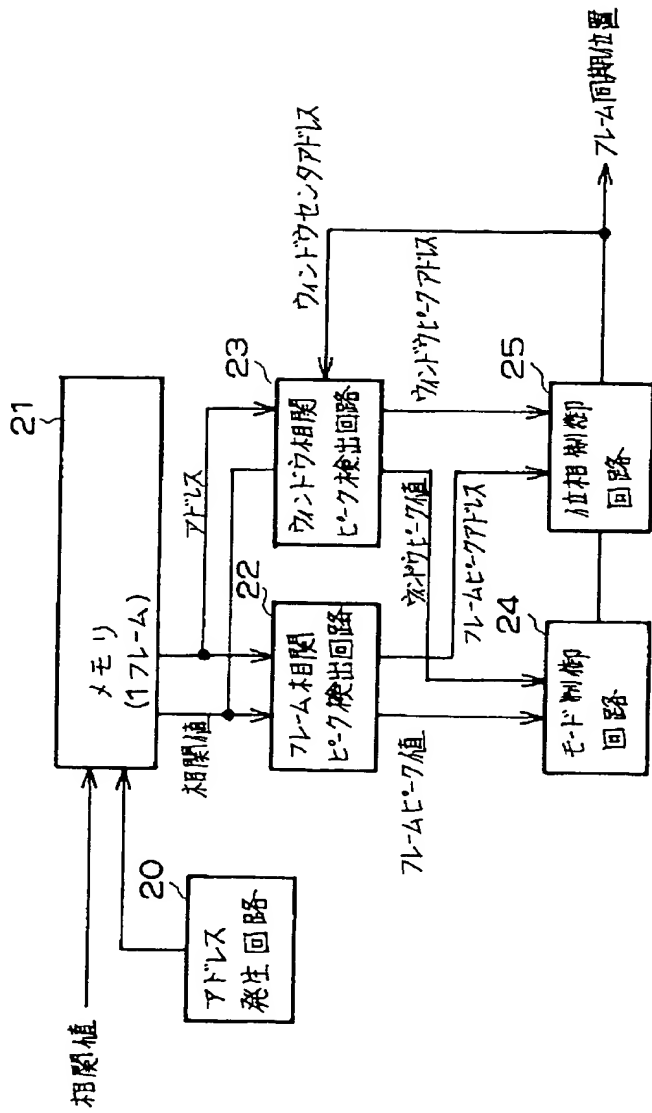
- 7
- 3 ウィンドウ回路
 - 4 比較器
 - 5 しきい値
 - 6 PLL
 - 7, 24 モード制御回路
 - 8 切換えスイッチ

- 8
- * 9 A/D変換器
 - 10, 20 アドレス発生器
 - 11, 21 メモリ
 - 12, 22 フレーム相関ピーク検出回路
 - 23 ウィンドウ相関ピーク検出回路
 - * 25 位相制御回路

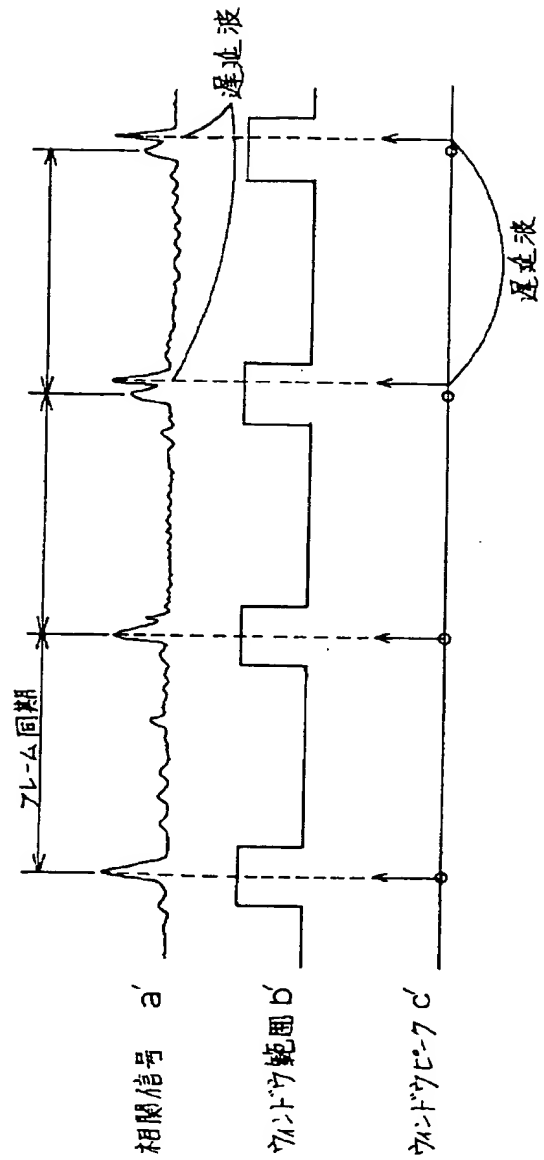
〔図1〕



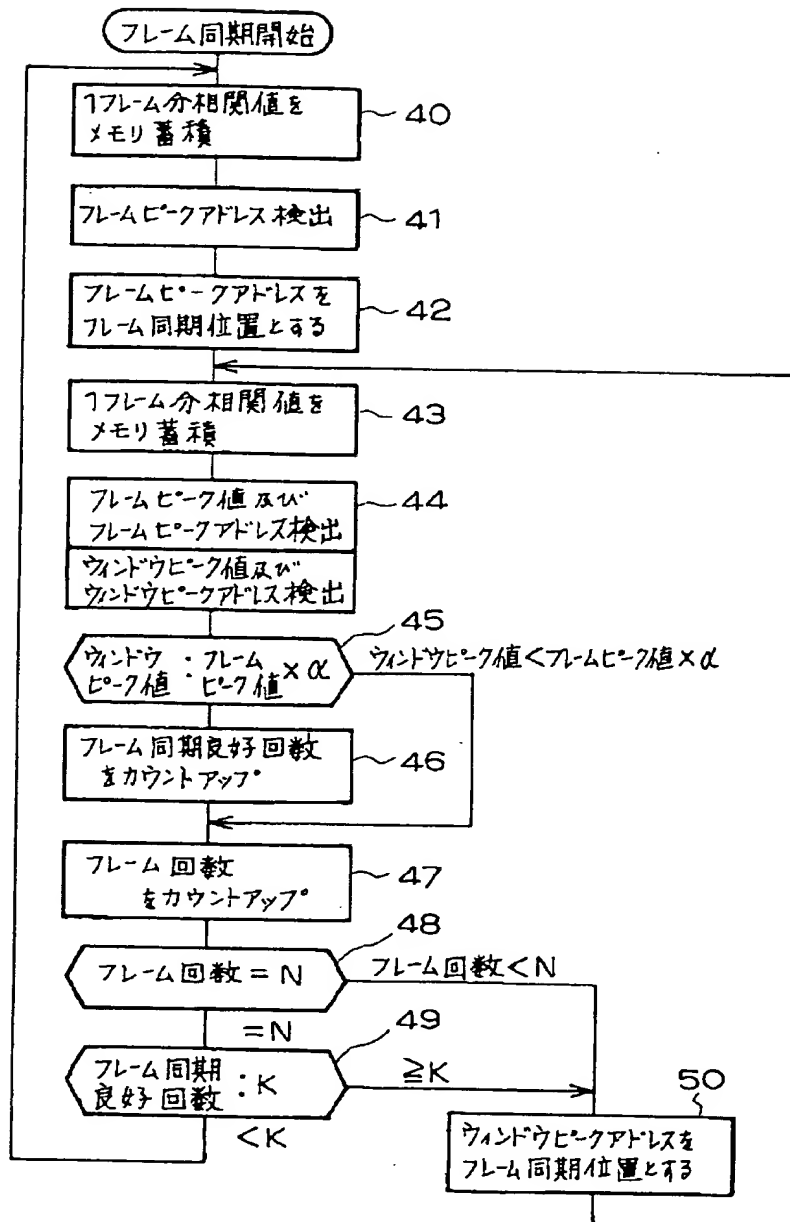
【図2】



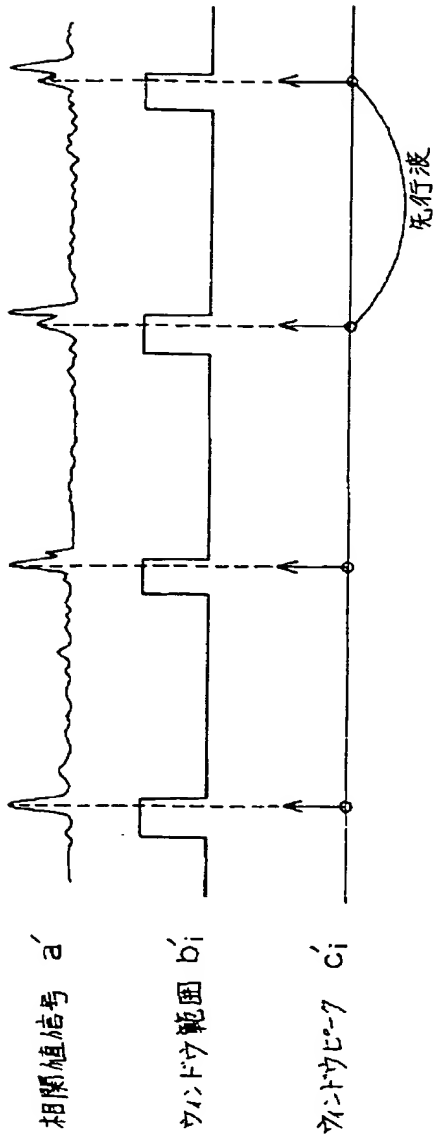
【図4】



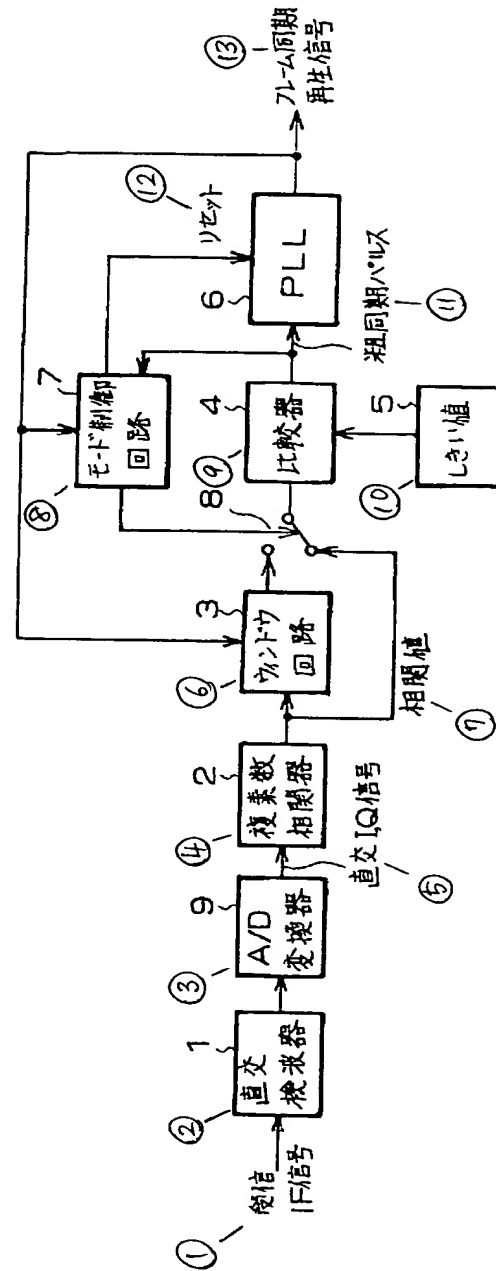
【図3】



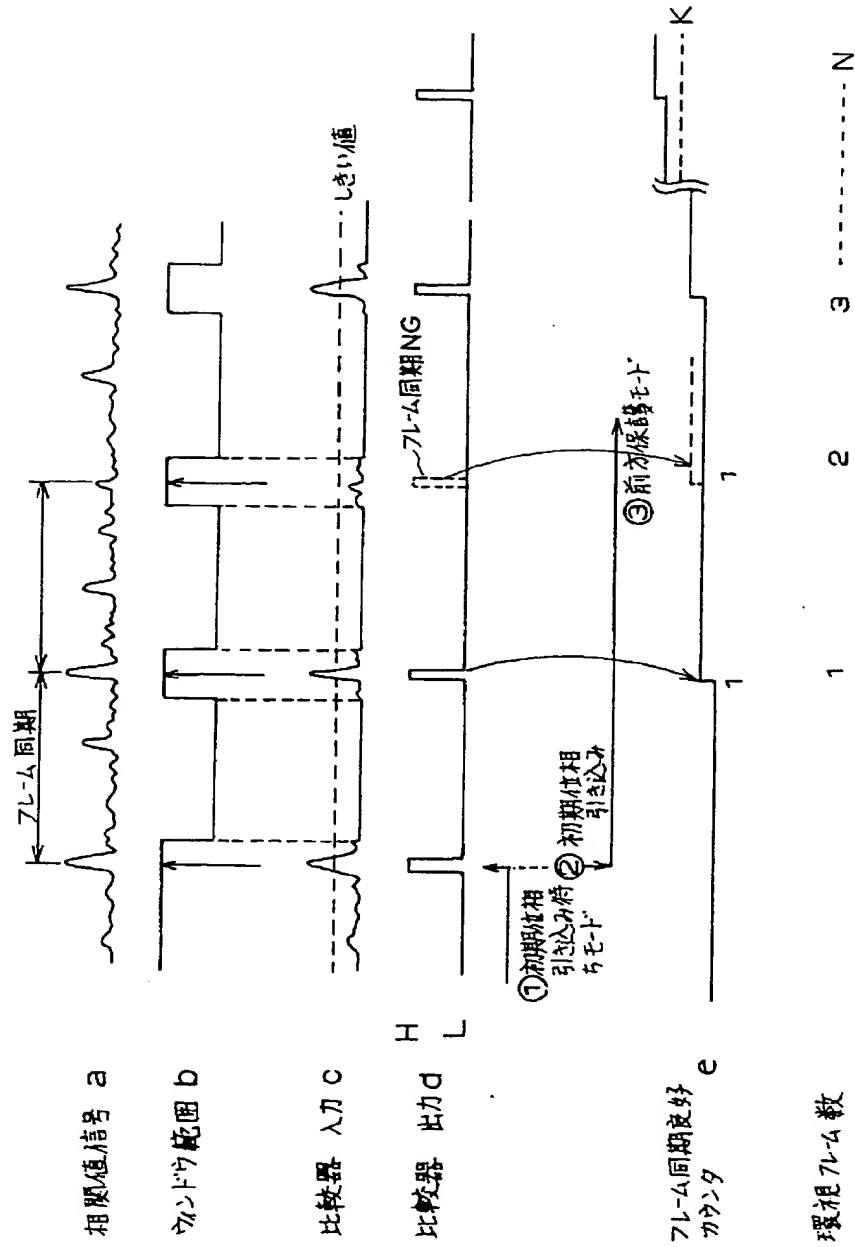
【図5】



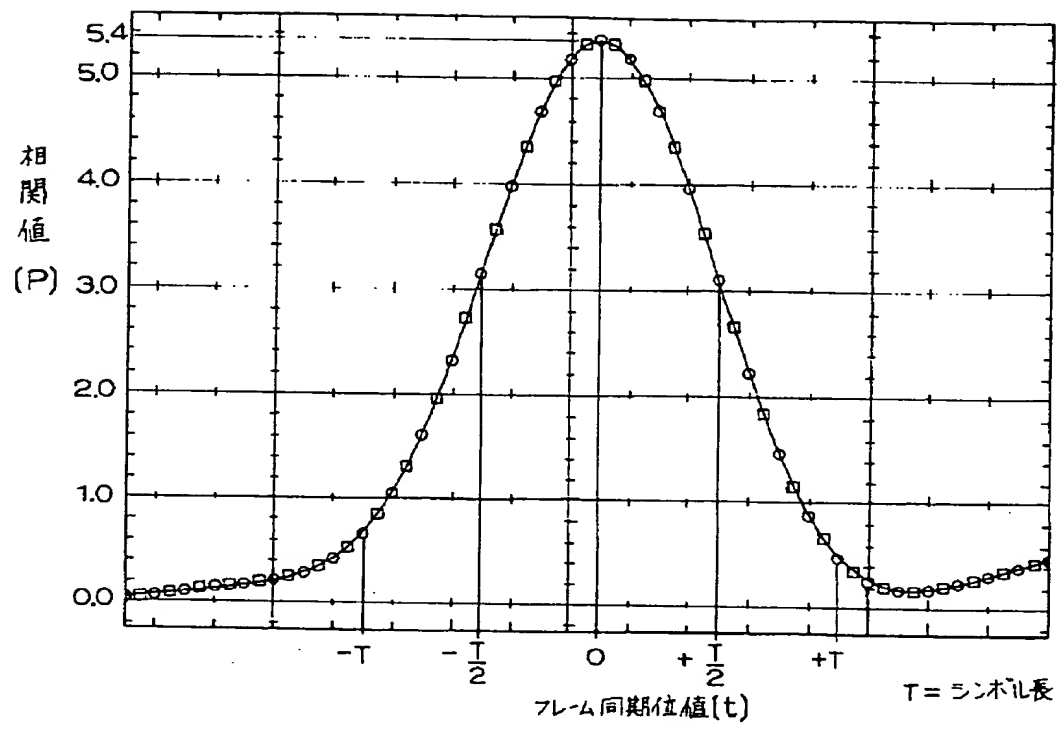
【図6】



【図7】



【図8】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成13年11月2日(2001.11.2)

【公開番号】特開平8-56218
 【公開日】平成8年2月27日(1996.2.27)
 【年通号数】公開特許公報8-563
 【出願番号】特願平6-208270
 【国際特許分類第7版】

H04L 7/08
 H04B 7/24
 H04J 3/06
 H04L 7/10

【F I】

H04L 7/08 A
 H04B 7/24 G
 H04J 3/06 A
 H04L 7/10

【手続補正書】

【提出日】平成13年2月8日(2001.2.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 時分割多重デジタル無線通信における受信信号の同期ワードを検出しフレーム同期をとるフレーム同期方式において、
前記受信信号と所定の同期ワードパターンとの相関値をアドレス発生回路で発生させたアドレスに従ってフレーム単位に逐次メモリに蓄積し、
該メモリに1フレーム分の相関値が蓄積される毎に、該蓄積された相関値の中で最大値を示すフレームピーク値と該フレームピーク値のメモリアドレスとをフレーム相関ピーク検出回路により検出し該メモリアドレスをフレーム同期位置と判定するように構成されたことを特徴とするフレーム同期方式。

【請求項2】 時分割多重デジタル無線通信における受信信号の同期ワードを検出しフレーム同期をとるフレーム同期方式において、
前記受信信号と所定の同期ワードパターンとの相関値をアドレス発生回路で発生させたアドレスに従ってフレーム単位に逐次メモリに蓄積し、
初期位相引込み処理として、該メモリに1フレーム分の相関値が蓄積されたとき、該蓄積された相関値の中で最大値を示すフレームピーク値とそのフレームピークアドレスとをフレーム相関ピーク検出回路により検出し該フレームピークアドレスをフレーム同期位置と判定し、

次のフレーム以降の同期処理として、前記メモリに1フレーム分の相関値が蓄積される毎に、前記フレーム相関ピーク検出回路によりフレームピーク値とフレームピークアドレスとを検出するとともに、前記初期位相引込み処理で判定されたフレーム同期位置のアドレスをセンタアドレスとしてその前後の近傍を検出範囲とするウィンドウが設定されたウィンドウ相関ピーク検出回路により該ウィンドウ内の相関値の中で最大値を示すウィンドウピーク値とそのウィンドウピークアドレスとを検出し、所定のフレーム数Nにわたって該ウィンドウピーク値と前記フレームピーク値とを比較し、該ウィンドウピーク値が前記フレームピーク値より大きいフレームの数が予め定められた設定数K以上のとき同期状態と見なし前記ウィンドウピークアドレスをフレーム同期位置として判定し、前記設定数K未満のときは同期はずれと判定して前記初期位相引込み処理に戻るようにしたことを特徴とするフレーム同期方式。

【請求項3】 請求項2に記載のフレーム同期方式における前記ウィンドウピークアドレスと前フレームのフレーム同期位置とを位相比較カウンタで比較し、該ウィンドウピークアドレスが時間系列として前方にあるときは1を減算し後方にあるときは1を加算し、前記位相比較カウンタの値が予め定められた設定値L(Lは2以上の整数)以上になったとき該ウィンドウピークアドレスに1を加算し、-L以下になったとき1を減算するように構成されたことを特徴とする請求項2に記載のフレーム同期方式。

【請求項4】 前記ウィンドウ相関ピーク検出回路で設定される前記ウィンドウの幅は、前記フレーム同期位置の前後に均等ではなく、該フレーム同期位置の前方の幅

は想定する最大遅延量以上に相当するサンプル数
(W_r)とし、後方の幅は最大遅延量の $1/2$ 以下に相当するサンプル数(W_s)とするようにしたことを特徴とする請求項2又は3に記載のフレーム同期方式。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】本発明のフレーム同期方式は、時分割多重デジタル無線通信における受信信号の同期ワードを検出しフレーム同期をとるフレーム同期方式において、前記受信信号と所定の同期ワードパターンとの相関値をアドレス発生回路で発生させたアドレスに従ってフレーム単位に逐次メモリに蓄積し、該メモリに1フレーム分の相関値が蓄積される毎に、該蓄積された相関値の中で最大値を示すフレームピーク値と該フレームピーク値のメモリアドレスとをフレーム相関ピーク検出回路により検出し該メモリアドレスをフレーム同期位置と判定するように構成されたことを特徴とするものである。さらに、詳しくは、前記受信信号と所定の同期ワードパターンとの相関値をアドレス発生回路で発生さ

せたアドレスに従ってフレーム単位に逐次メモリに蓄積し、初期位相引込み処理として、該メモリに1フレーム分の相関値が蓄積されたとき、該蓄積された相関値の中で最大値を示すフレームピーク値とそのフレームピークアドレスとをフレーム相関ピーク検出回路により検出し該フレームピークアドレスをフレーム同期位置と判定し、次のフレーム以降の同期処理として、前記メモリに1フレーム分の相関値が蓄積される毎に、前記フレーム相関ピーク検出回路によりフレームピーク値とフレームピークアドレスとを検出するとともに、前記初期位相引込み処理で判定されたフレーム同期位置のアドレスをセンタアドレスとしてその前後の近傍を検出範囲とするウインドウが設定されたウインドウ相関ピーク検出回路により該ウインドウ内の相関値の中で最大値を示すウインドウピーク値とそのウインドウピークアドレスとを検出し、所定のフレーム数Nにわたって該ウインドウピーク値と前記フレームピーク値とを比較し、該ウインドウピーク値が前記フレームピーク値より大きいフレームの数が予め定められた設定数K以上のとき同期状態と見なし前記ウインドウピークアドレスをフレーム同期位置として判定し、前記設定数K未満のときは同期はずれと判定して前記初期位相引込み処理に戻るようにしたことを特徴とするものである。